

# Méthodologie d'optimisation de plan de test pour l'évaluation de la fiabilité de composants optoélectroniques

Directeurs de thèse : Benoit Iung, Phuc Do (CRAN) et Laurent Mendizabal (CEA Tech)

Laboratoire d'accueil: CEA Tech à Grenoble et CRAN (Centre de Recherche en Automatique de Nancy UMR CNRS 7039), Université de Lorraine



## Contexte scientifique et sujet de recherche détaillé:

Ce sujet de thèse est conjointement proposé par le CEA LETI expert dans les tests de composants électroniques et le CRAN, département ISET à fortes compétences dans le domaine de sûreté de fonctionnement et PHM (Prognostics and Health Management).

Du fait des récents progrès liés à leur intégration (hybridation, collage direct, TSV...), les composants électroniques deviennent de plus en plus complexes. Cette complexité a des conséquences sur l'étude de leur fiabilité, notamment au travers du nombre de tests à appliquer et du temps nécessaire à leur application. A cela viennent se rajouter de nouvelles problématiques telles que les interactions existant dans le vieillissement des différents éléments du composant. Ce point s'observe particulièrement dans le domaine de la photonique, au travers de la photonique sur silicium, mais aussi dans les domaines des télécom, de la détection, de l'affichage... domaines dans lesquels les composants associent dans un même objet différents éléments actifs (puces LED ou laser, photodiodes...) et passifs (lentilles, guides d'onde, éléments de conversion de couleur...). Pour des composants d'une telle complexité, la lourdeur des tests nécessaires à l'évaluation de leur durée de vie ainsi qu'à la détermination de leurs modes de défaillances, est rédhibitoire.

Par conséquent dans le contexte de ce défi, l'objectif global de la thèse proposée est de développer une méthodologie d'optimisation de plan de test pour l'évaluation de la fiabilité de composants optoélectroniques. Ce travail doit se structurer sur trois phases majeures : (1) la réalisation d'une étude théorique des interactions possibles entre les différents éléments du composant étudié et des caractérisations permettant de les mettre en évidence ; (2) la conception d'un plan de test de fiabilité optimisé, intégrant des méthodologies expérimentales originales ainsi que des modèles de durée de vie ou de dégradation en s'appuyant sur des méthodologies de sûreté de fonctionnement et les résultats de la phase précédente; (3) la validation des modèles développés, avant de mettre en pratique ce plan de test pour évaluer sa performance face à des essais classiques de fiabilité composant.

**Financement de la thèse** : Financement du CEA Tech sur 3 ans à partir du 01/12/2017.

Le candidat sera situé géographiquement sur les sites de CEA Tech à Grenoble et dans les locaux du CRAN à Vandœuvre-lès-Nancy.

**Profil du candidat** : Master ou ingénieur à dominant en optoélectronique - microélectronique et/ou sûreté de fonctionnement. Les candidats intéressés peuvent candidater directement sur le site de CEA <https://academicpositions.fr/ad/cea-tech/2017/phd-methodologie-d-optimisation-de-plan-de-test-pour-l-evaluation-de-la-fiabilite-de-composants-optoelectroniques/101933>

## **Contact :**

Phuc Do : [phuc.do@univ-lorraine.fr](mailto:phuc.do@univ-lorraine.fr)

Benoît Iung: [benoit.iung@univ-lorraine.fr](mailto:benoit.iung@univ-lorraine.fr)